

(19)日本国特許庁 (JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表2001-521220

(P2001-521220A)

(43)公表日 平成13年11月6日(2001.11.6)

(51)Int.Cl. ¹	識別記号	F I	マーク ² (参考)
G 0 6 F 12/00	5 4 2	G 0 6 F 12/00	5 4 2 A 5 B 0 6 0
	5 9 7		5 9 7 U 5 B 0 8 2
12/02	5 7 0	12/02	5 7 0 A

審査請求 有 予備審査請求 有 (全39頁)

(21)出願番号	特願2000-517345(P2000-517345)
(86) (22)出願日	平成10年10月5日(1998.10.5)
(85)翻訳文提出日	平成12年4月11日(2000.4.11)
(86)国際出願番号	PCT/US98/21017
(87)国際公開番号	WO99/21093
(87)国際公開日	平成11年4月29日(1999.4.29)
(31)優先権主張番号	08/951,644
(32)優先日	平成9年10月16日(1997.10.16)
(33)優先権主張国	米国(US)

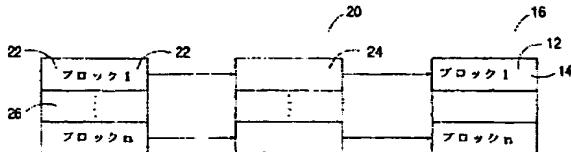
(71)出願人	エム システムズ フラッシュ ディスク バイオニアズ リミテッド M-SYSTEMS FLASH DIS K PIONEERS LTD. イスラエル国、テル アビブ 61580、ビ ー オー ボックス 58036、アティディ ム インダストリアル パーク、ビルディ ング 7
(72)発明者	パン アミール イスラエル国、ラマット ハシャロン 47205、ヤボック ストリート 4
(74)代理人	弁理士 大西 正悟

最終頁に続く

(54)【発明の名称】 改善されたフラッシュファイルシステム

(57)【要約】

フラッシュメモリデバイスおよびデバイスへの書き込みならびにデバイスの再構成のための方法に関する。フラッシュメモリデバイス(20)は、物理デバイス(10)、仮想デバイス(22)および仮想デバイスのアドレスを物理デバイスの物理アドレスに関連付ける仮想マップ(24)を含む。



【特許請求の範囲】

【請求項 1】 メモリのためのメモリ構成方法であって、前記メモリの未書き込みの部分にのみデータを書き込むことができるため、前記メモリの書き込み済みの部分を未書き込みの状態にするために消去しなければならず、読み出しありは書き込みのデータ用のメモリ部分のサイズが、消去用の最小メモリ部分のサイズと異なるようになっているメモリ構成法であって、

(a) 前記メモリの複数の物理ユニットを設けるステップであって、前記物理ユニットのそれぞれが消去用の最小メモリ部分のサイズであり、前記物理ユニットのそれぞれが物理ユニット番号によって表され、前記物理ユニットのそれぞれが複数の物理ブロックに分割され、前記複数の物理ブロックのそれぞれが読み出しありは書き込みのデータ用のメモリ部分のサイズであり、前記物理ブロックのそれが前記物理ユニット内部の物理ブロックオフセットによって表されるようになっているステップと、

(b) 前記メモリの複数の仮想ユニットを設けるステップであって、前記仮想ユニットのそれが仮想ユニット番号によって表され、前記仮想ユニットのそれが複数の仮想ブロックを特徴付け、前記仮想ブロックのそれが前記仮想ユニット内部の仮想ブロックオフセットによって表されるようになっているステップと、

(c) 各仮想ユニットを少なくとも 1 つの物理ユニットにマッピングし、仮想マップを形成するステップと、

(d) 前記仮想マップによって、前記仮想ユニット内部の各仮想ブロックを前記少なくとも 1 つの物理ユニット内部の 1 つの物理ブロックにマッピングするステップと、を含む方法。

【請求項 2】 (e) 前記メモリの前記複数の仮想ユニットの少なくとも 1 つと前記メモリの前記複数の物理ユニットの少なくとも 1 つとの対応関係を変更することによって、前記メモリにおける変更を反映するために前記仮想マップを変更するステップと、をさらに含む請求項 1 に記載の方法。

【請求項 3】 (e) 仮想ブロックでデータを書き込むための書き込み命令を受信するステップと、

- (f) 前記仮想ブロックを含む仮想ユニットを突き止めるステップと、
- (g) 前記仮想ユニットにマッピングされる物理ユニット内部の書き込み可能なブロックを突き止めるステップと、
- (h) 前記データを前記書き込み可能な物理ブロックに書き込み、書き込み済みの物理ユニットを形成するステップと、をさらに含む請求項 1 に記載の方法。

【請求項 4】 (i) 前記書き込み済みの物理ユニットにおいて、未書き込みの物理ブロックを突き止めることができない場合には、第 2 の物理ユニットを突き止めるステップと、

(j) 前記データを前記第 2 の物理ユニットの書き込み可能な物理ブロックに書き込むステップと、

(k) 前記仮想ユニットを前記第 2 の物理ユニットに追加的にマッピングすることによって、前記仮想マップを更新し、前記仮想ユニットが前記第 2 の物理ユニットおよび前記書き込み済みの物理ユニットに対応するようにするステップであって、前記第 2 の物理ユニットおよび前記書き込み済みの物理ユニットが物理ユニットのチェーンを形成するようになっているステップと、をさらに含む請求項 3 に記載の方法。

【請求項 5】 前記第 2 の物理ユニットの前記書き込み可能な物理ブロックが、物理ブロックオフセットを備え、前記物理ブロックオフセットが前記マッピングされた仮想ユニットの前記仮想ブロックオフセットに対応する請求項 4 に記載の方法。

【請求項 6】 前記第 2 の物理ユニットの前記書き込み可能な物理ブロックが物理ブロックオフセットを備え、前記物理ブロックオフセットが前記マッピングされた仮想ユニットの前記仮想ブロックオフセットとは異なる請求項 4 に記載の方法。

【請求項 7】 (l) 任意の物理ユニットにおいて、未書き込みの物理ブロックを突き止めることができない場合には、チェーンにおいて複数の物理ユニットに対応する第 2 の仮想ユニットを突き止めるステップと、

(m) 前記チェーンにおいて前記最終物理ユニットを突き止めるステップと、

(n) 前記書き込み済みの物理ユニットの前記物理ブロックのそれぞれから前記

最終物理ユニットの書き込み可能な物理ブロックまで、データを移動するステップであって、前記書き込み可能な物理ブロックが前記書き込み済みの物理ユニットの前記物理ブロックと同一のブロックオフセットを備えるようになっているステップと、

(o) 前記仮想ユニットを前記最終物理ユニットにマッピングすることによって、前記仮想マップを更新し、前記仮想ユニットが前記最終物理ユニットにのみ対応するようになっているステップと、をさらに含む請求項4に記載の方法。

【請求項8】 (p) 前記チェーンにおいて、前記最終物理ユニットを除き、前記書き込み済みの物理ユニットのすべてを消去するステップをさらに含む請求項7に記載の方法。

【請求項9】 (l) 未書き込みの物理ユニットが前記チェーンの割当てに利用可能でない場合には、再構成のために未書き込みの物理ユニットを割当てるステップと、

(m) 前記書き込み済みの物理ユニットの前記物理ブロックから前記未書き込みの物理ユニットの書き込み可能な物理ブロックまで、データを移動するステップと、

(n) 前記仮想ユニットを前記未書き込みの物理ユニットにマッピングすることによって、前記仮想マップを更新し、前記仮想ユニットが前記未書き込みの物理ユニットにのみ対応するようになっているステップと、をさらに含む請求項4に記載の方法。

【請求項10】 メモリのためのメモリ構成方法であって、前記メモリの未書き込みの部分にのみデータを書込むことができるため、前記メモリの書き込み済みの部分を未書き込みの状態にするために消去しなければならず、データの読出しありは書き込み用のメモリ部分のサイズが消去用の最小メモリ部分のサイズと異なる方法であって、

(a) 前記メモリの複数の物理ユニットを設けるステップであって、前記物理ユニットのそれぞれが消去用の最小メモリ部分であり、前記物理ユニットのそれぞれが物理ユニット番号によって表され、前記物理ユニットのそれぞれが複数の物理ブロックに分割され、前記複数の物理ブロックのそれぞれが読出しありは書き込みのデータ用のメモリ部分であり、前記物理ブロックのそれぞれが前記物理ユ

ニット内部の物理ブロックオフセットによって表されるようになっているステップと、

(b) 前記メモリの複数の仮想ユニットを設けるステップであって、前記仮想ユニットのそれぞれが仮想ユニット番号によって表され、前記仮想ユニットのそれぞれが複数の仮想ブロックを特徴付け、前記仮想ブロックのそれぞれが前記仮想ユニット内部の仮想ブロックオフセットによって表されるようになっているステップと、

(c) 各仮想ユニットを少なくとも 1 つの物理ユニットにマッピングするための仮想マップを設けるステップと、

(d) 前記仮想ユニット内部の各仮想ブロックを前記少なくとも 1 つの物理ユニット内部の 1 つの物理ブロックにマッピングするステップと、

(e) 仮想ブロックでデータを書込むための書込み命令を受信するステップと、

(f) 前記仮想ブロックを含む仮想ユニットを突き止めるステップと、

(g) 前記仮想ユニットにマッピングされる物理ユニット内部で書込み可能なブロックを突き止めるステップと、

(h) 前記データを前記書込み可能な物理ブロックに書込むステップと、

(i) 書込み済みの物理ユニットにおいて未書込みの物理ブロックを突き止めることができない場合には、物理ユニットのチェーンを形成するために未書込みの物理ユニットを割当て、前記未書込みの物理ユニットが前記チェーンにおいて最終物理ユニットであるようにするステップと、

(j) 前記データを前記最終物理ユニットの未書込みの物理ブロックに書込むステップと、

(k) ステップ (j) において書込まれたデータを除いて、データを前記複数の物理ブロックのそれぞれから前記最終物理ユニットの書込み可能な物理ブロックまで、移動するステップと、

(l) 前記仮想ユニットを前記書込み済みの物理ユニットにマッピングすることによって前記仮想マップを更新し、前記仮想ユニットが前記書込み済みの物理ユニットに対応するようになっているステップと、を含む方法。

【請求項 11】 メモリのためのデータ書き込み方法であって、前記メモリの未書き込みの部分にのみデータを書き込むことができるため、前記メモリの書き込み済みの部分を未書き込みの状態にするために消去しなければならない方法であって、

(a) 複数の物理ブロックに分割されることになる複数の物理ユニットを設けるステップであって、前記物理ユニットのそれぞれが物理ユニット番号を備え、前記物理ブロックのそれぞれが前記物理ユニット内部の物理ブロックオフセットを備えているステップと、

(b) 複数の仮想ブロックに分割されることになる複数の仮想ユニットを設けるステップであって、前記仮想ユニットのそれぞれが仮想ユニット番号を備え、前記仮想ブロックのそれぞれが前記仮想ユニット内部の仮想ブロックオフセットを備え、各仮想ユニットが少なくとも 1 つの物理ユニットにマッピングされるようになっているステップと、

(c) 仮想ブロックでデータを書き込むための書き込み命令を受信するステップと、

(d) 仮想ブロックオフセットを有する前記仮想ブロックを含む仮想ユニットを決定するステップと、

(e) 前記仮想ユニットに対応する物理ユニットを書き止めるステップと、

(f) 前記物理ユニットの内部で物理ブロックを書き止めるステップと、

(g) 前記物理ブロックが未書き込みであるかどうかを決定するステップと、

(h) 前記物理ブロックが未書き込みの場合に限り、前記データを前記物理ブロックに書き込むステップと、

(i) 別法として、前記物理ブロックが未書き込みでない場合には、第 2 の物理ユニットを割当てるステップと、

(j) 前記第 2 の物理ユニット内部の書き込み可能な物理ブロックを書き止めるステップであって、前記書き込み可能な物理ブロックが物理ブロックオフセットを備えるステップと、

(k) 前記データを前記書き込み可能な物理ブロックに書き込むステップと、

(l) 前記仮想ユニットを前記書き込み可能な物理ブロックを含む前記第 2 の物理ユニットに追加的にマッピングし、前記仮想ユニットが、物理ユニットのチエ

ーンを形成するために前記第2の物理ユニットに追加的にマッピングされるようになっているステップと、

(m) 書込まれた物理ユニットにおいて、未書込みの物理ブロックを突き止めることができない場合には、チェーンにおいて複数の物理ユニットに対応する第2の仮想ユニットを突き止めるステップと、

(n) 前記チェーンにおいて最終物理ユニットを突き止めるステップと、

(o) 前記書込み済みの物理ユニットの前記物理ブロック内部の全データを前記最終物理ユニットの前記物理ブロックに移動するステップと、

(p) 前記仮想ユニットが前記最終物理ユニットにのみ対応するように前記仮想マップを更新するステップと、

を含む方法。

【請求項12】 前記書込み可能な物理ブロックの前記物理ブロックオフセットが、前記仮想ブロックオフセットと同一のブロックオフセット番号を有する請求項11に記載の方法。

【請求項13】 (q) 前記書込み済みの物理ユニットのすべてを消去するステップをさらに含む請求項11に記載の方法。

【請求項14】 メモリのためのデータの書込み方法であって、前記メモリの未書込みの部分にのみデータを書込むことができるため、前記メモリの書込み済みの部分を未書込みの状態にするために消去しなければならない方法であって、

(a) 複数の物理ブロックに分割されることになる複数の物理ユニットを設けるステップであって、前記物理ユニットのそれぞれが物理ユニット番号を備え、前記物理ブロックのそれぞれが前記物理ユニット内部の物理ブロックオフセットを備えているステップと、

(b) 複数の仮想ブロックに分割されることになる複数の仮想ユニットを設けるステップであって、前記仮想ユニットのそれぞれが仮想ユニット番号を備え、前記仮想ブロックのそれぞれが前記仮想ユニット内部の仮想ブロックオフセットを備え、各仮想ユニットが少なくとも1つの物理ユニットにマッピングされるステップと、

(c) 仮想ブロックでデータを書込むための書込み命令を受信するステップと

(d) 仮想ブロックオフセットを有する前記仮想ブロックを含む仮想ユニットを決定するステップと、

(e) 前記仮想ユニットに対応する物理ユニットを突き止めるステップと、

(f) 前記物理ユニットの内部で物理ブロックを突き止めるステップと、

(g) 前記物理ブロックが未書込みであるかどうかを決定するステップと、

(h) 前記物理ブロックが未書込みの場合に限り、前記データを前記物理ブロックに書込むステップと、

(i) 別法として、前記物理ブロックが未書込みでない場合には、第2の物理ユニットを割当てるステップと、

(j) 前記第2の物理ユニット内部の書込み可能な物理ブロックを突き止めるステップであって、前記書込み可能な物理ブロックが物理ブロックオフセットを備えるステップと、

(k) 前記データを前記書込み可能な物理ブロックに書込むステップと、

(l) 前記仮想ユニットを前記書込み可能な物理ブロックを含む前記第2の物理ユニットに追加的にマッピングし、前記仮想ユニットが、物理ユニットのチェーンを形成するために前記第2の物理ユニットに追加的にマッピングされるようになっているステップと、

(m) 未書込みの物理ユニットが割当てに利用可能でない場合には、チェーンにおいて最終物理ユニットを突き止めるステップと、

(n) 前記書込み済みの物理ユニットの前記物理ブロック内部の全データを前記最終物理ユニットの前記物理ブロックに移動するステップと、

(o) 前記仮想ユニットが前記最終物理ユニットにのみ対応するように前記仮想マップを更新するステップと、を含む方法。

【請求項15】 (p) 前記最終物理ユニットを除いて、前記書込み済みの物理ユニットのすべてを消去するステップをさらに含む請求項14に記載の方法

。

【請求項16】 メモリのためのメモリ構成方法であって、前記メモリの未

書込みの部分にのみデータを書込むことができるため、前記メモリの書込み済みの部分を未書込みの状態にするために消去しなければならず、データの読出しあたは書込み用のメモリ部分のサイズが消去用の最小メモリ部分のサイズと異なる方法であって、

(a) 前記メモリの複数の物理ユニットを設けるステップであって、前記物理ユニットのそれぞれが消去用の最小メモリ部分のサイズであり、前記物理ユニットのそれぞれが物理ユニット番号によって表され、前記物理ユニットのそれぞれが複数の物理ブロックに分割され、前記複数の物理ブロックのそれぞれが読出しあたは書込みのデータ用のメモリ部分のサイズであり、前記物理ブロックのそれぞれが前記物理ユニット内部の物理ブロックオフセットによって表されるようになっているステップと、

(b) 前記メモリの複数の仮想ユニットを設けるステップであって、前記仮想ユニットのそれぞれが仮想ユニット番号によって表され、前記仮想ユニットのそれぞれが複数の仮想ブロックを特徴付け、前記仮想ブロックのそれぞれが前記仮想ユニット内部の仮想ブロックオフセットによって表されるようになっているステップと、

(c) 各仮想ユニットを少なくとも 1 つの物理ユニットにマッピングするための仮想マップを設けるステップと、

(d) 前記仮想ユニット内部の各仮想ブロックを前記少なくとも 1 つの物理ユニット内部の 1 つの物理ブロックにマッピングするステップと、

(e) 仮想ブロックでデータを書込むための書込み命令を受信するステップと、

(f) 前記仮想ブロックを含む仮想ユニットを突き止めるステップと、

(g) 前記仮想ユニットにマッピングされる物理ユニット内部で書込み可能なブロックを突き止めるステップと、

(h) 前記データを前記書込み可能な物理ブロックに書込み、書込み済みの物理ユニットを形成するステップと、

(i) 前記書込み済みの物理ユニットにおいて未書込みの物理ブロックを突き止めることができない場合には、書込み可能な物理ブロックを備えた第 2 の物理

ユニットを突き止めるステップと、

(j) 前記データを前記第2の物理ユニットの前記書込み可能な物理ブロックに書込むステップと、

(k) 前記仮想ユニットを前記第2の物理ユニットに追加的にマッピングすることによって、前記仮想マップを更新し、前記仮想ユニットが前記第2の物理ユニットおよび前記書込み済みの物理ユニットに対応し、前記第2の物理ユニットおよび前記書込み済みの物理ユニットが物理ユニットのチェーンを形成するようになっているステップと、

(l) 任意の物理ユニットにおいて、未書込みの物理ブロックを突き止めることができない場合には、チェーンにおいて複数の物理ユニットに対応する第2の仮想ユニットを突き止めるステップと、

(m) 前記チェーンにおいて最終物理ユニットを突き止めるステップと、

(n) 前記書込み済みの物理ユニットの前記物理ブロックのそれぞれから前記最終物理ユニットの書込み可能な物理ブロックまで、データを移動するステップであって、前記書込み可能な物理ブロックが前記書込み済みの物理ユニットの前記物理ブロックと実質的に同一のブロックオフセットを有するステップと、

(o) 前記仮想ユニットを前記最終物理ユニットにマッピングすることによって前記仮想マップを更新し、前記仮想ユニットが前記最終物理ユニットに対応するようになっているステップと、を含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュデバイスのデータ格納の処理を行うシステムに関し、さらに詳細には、フラッシュディスクとして機能することができるページモードフラッシュデバイスで情報の格納および検索を行うシステムに関する。

【0002】

【従来の技術】

フラッシュデバイスは、フラッシュ型浮遊ゲートトランジスタで形成される電気的消去可能プログラマブル読み出し専用メモリ（EEPROM）を含み、機能および性能に関してEPROMメモリと類似である不揮発性メモリであり、メモリのページを消去する回路内部においてプログラム可能な操作を実現することができる付加的な機能を備えている。フラッシュデバイスは、従来の磁気記憶ディスクに比べて、比較的廉価で、比較的電力が少なくて済むという利点を備えている。しかし、フラッシュデバイスにおいて、その領域の以前のページを消去せずに、以前に書込んだ領域に再書き込みを行うことは実際的ではない。フラッシュデバイスにはこのような制限があるために代表的な既存のオペレーティングシステムプログラムと共に存することはできない。データが以前に書込まれた領域を最初に消去しない限り、フラッシュデバイスの中にあるメモリの領域にデータを書き込むことができないからである。

【0003】

ソフトウェア製品が従来技術において提案してきたことは、オペレーティングシステムプログラムの修正を行うことなく、フラッシュデバイスを既存のコンピュータオペレーティングプログラムによって処理することができることであった。しかし、このような従来技術プログラムはすべて、欠点を持っている。たとえば、あるプログラムはフラッシュメモリを「追記型」装置として作動させる。この従来のソフトウェア製品は、以前に書込んだ記憶位置を再利用することができない。結局すべての位置が書き込まれた場合には、特定の利用者の介在なしに、メモリをそれ以上使用することはできない。他の従来技術プログラムは、Sand

iskによって提案されたプログラムのように、新たなデータがページに書込まれることになるたびに、メモリページ全体を消去し、再書き込みを行う。このようなシステムは複数の消去サイクルを必要とするという欠点があり、これらのサイクルは比較的遅い上、非効率的であり、物理的な媒体そのものの急速な劣化を引き起こす。

【0004】

従来技術のこのような欠点を克服するために、フラッシュファイルシステム (FFS) が米国特許第5,404,485号に開示され、参考として本願に包含される。FFSはフラッシュデバイスにデータ格納およびデータ操作のシステムを提供し、これらのデバイスに磁気ディスクを基にしたデータ格納をエミュレートすることができるようにした。上記のように、比較的廉価であると共に電力消費が少ないため、フラッシュデバイスはデータ格納、特にラップトップのポータブルコンピュータに好都合な選択となる。FFSは磁気ディスク記憶装置の代わりとして作用するフラッシュデバイスの能力を強化する。さらに言えば、FFSは、米国特許第5,404,485号に開示されたように、きわめて有用であることが判明したため、データ形式の仕様は、フラッシュ変換層 (FTL) と呼ばれる規格として、PCMCIA (Personal Computer Memory Card International Association) およびJEIDA (日本電子工業振興協会) の委員会によって採用された。

【0005】

FFSは本来、フラッシュEEPROM装置のための仮想マッピングシステムを表している。仮想マップは、フラッシュデバイス内部の読み取り/書き込みブロックの物理アドレスをそのブロックの仮想アドレスと関連付ける表である。これらのブロックのそれぞれは比較的小さいため、512バイト、すなわち仮想マップ自体のサイズは相当大きい。FFSはまた、フラッシュEEPROM装置に仮想マップの容量に格納および維持し、仮想マップの格納に必要な他のメモリの量を最小限に抑える方法を含む。

【0006】

上記のように、FFSは、フラッシュデバイスを磁気ディスク記憶装置のエミ

ュレータに変形する場合に特にうまくいくことが判明し、産業規格として採用されたほどである。しかしながら、FFSは、さらに新たなフラッシュデバイス技術の要件をすべて満たすことはできない。特に、FFSはNANDおよびANDフラッシュ技術の場合にはうまくいかない。

【 0 0 0 7 】

従来技術のフラッシュメモリアーキテクチャのある種の欠点、特に書き込み前に消去するシステムの欠点を克服しようとする試みの別の例は、米国特許第5,479,638号に開示される。米国特許第5,479,638号のシステムにおいて、書き込み済みのブロックに対してさらにプログラムの書き込みがさらに必要である場合には、特定の読み出し／書き込みブロックの物理的な位置がシフトされる。しかし、このシステムは、一度に512バイトの単一の読み出し／書き込みブロックを消去することができるフラッシュデバイスを利用して操作されることができるにすぎないという欠点を持っている。このような要件はハードウェアレベルで実装されるため、このシステムはまた、さらに新たなNANDおよびANDフラッシュ技術に対して使用されることはない。

【 0 0 0 8 】

【発明が解決しようとする課題】

NANDおよびANDは多くの点に関して、以前のフラッシュデバイスと異なる。第一に、消去可能なユニットサイズは、以前のフラッシュデバイスの64KBとは対照的に、NANDおよびANDの場合には約8KBと小さめである。第二に、単一バイトを消去するために必要な時間として測定された場合であっても、NANDおよびANDの場合、消去時間が相当速い。第三に、フラッシュメモリはNANDおよびANDのために長さ256または512バイトのページに分割され、ハードウェアデバイス自体の不变の特性である。「ページ」および「ブロック」の特有の特性はある程度異なるが、ここで使用している「ページ」なる語は、以前のフラッシュ技術で使用される「ブロック」なる語と概ね同意義であることに留意すべきである。このような特徴は、NANDおよびAND技術に基づくフラッシュデバイスの動作に非常に密接な関係がある。

【 0 0 0 9 】

第一に、ページモードメモリは、1ページまたは任意のページを書込むための固定オーバヘッドを備える。対照してみると、従来のフラッシュ技術における書込み動作のためのオーバヘッドは、書込まれたバイト数に比例した。第二に、各ページが特にアドレス呼出し可能である複数の予備バイトを有するように、NANDおよびANDにおけるフラッシュメモリは構成される。このような予備バイトは、フラッシュメモリシステムに関する情報の格納に好都合な位置にある。最後に、消去される前にページを書込むことができる回数に制限がある。事前の消去を行うことなくさらに書込む場合は信頼性に欠けることを考慮して、この制限は比較的低く、8または10回である。したがって、ページモードメモリは、成功するデータの格納および検索に対して、重要な利点および新たな難題の両方を有する。

【 0 0 1 0 】

不幸なことに、上記のように、一般に利用可能な従来技術のデータ処理システム、すなわちFFSは、ページモードにおけるフラッシュメモリの動作に関して、重大な欠点がある。特に、ページモードプログラミングによって課せられる制限のために、FFSはNANDおよびANDなどのページモードフラッシュ技術では最適でない性能を例証する。さらに、ロックごとの消去動作に必要な要件のために、米国特許第5,479,638号に開示されたシステムも、このようなフラッシュ技術に対して使用することができない。

【 0 0 1 1 】

したがって、以前の非ページモードフラッシュデバイスの上で未だ利用可能であるが、ページモードフラッシュ技術の性能を最適化するようなNANDおよびANDフラッシュデバイスの上でデータ格納を処理するためのシステムが必要であり、そのようなシステムを備えることは大いに好都合であると思われる。

【 0 0 1 2 】

【課題を解決するための手段】

本発明は、メモリのためにメモリの構成方法であって、データをメモリの未書き込みの部分にのみ書込むことができるため、メモリの書き込み済みの部分を未書き込みの状態にするために消去しなければならず、データの読み込みまたは書き込み用の

メモリ部分のサイズは、消去用の最小メモリ部分のサイズとは異なる方法を提供する。本方法は、(a) メモリの複数の物理ユニットを提供するステップであって、物理ユニットのそれぞれが消去用の最小メモリ部分であり、物理ユニットのそれぞれが物理ユニット番号によって表され、物理ユニットのそれぞれが複数の物理ブロックに分割され、複数の物理ブロックのそれぞれがデータの読み出しおよび書き込み用のメモリ部分であり、複数の物理ブロックのそれぞれが物理ユニット内部の物理ブロックオフセットによって表されるようなステップと、(b) メモリの複数の仮想ユニットを提供するステップであって、各仮想ユニットが仮想ユニット番号によって表され、仮想ユニットのそれぞれが複数の仮想ブロックを特徴付け、仮想ブロックのそれぞれが仮想ユニット内部の仮想ブロックオフセットによって表されるようなステップと、(c) 各仮想ユニットを少なくとも1つの物理ユニットにマッピングするための仮想マップを提供するステップと、(d) 仮想ユニット内部の各仮想ブロックを少なくとも1つの物理ユニット内部の1つの物理ブロックにマッピングするステップと、を含む。

【 0 0 1 3 】

本方法はさらに、(e) 仮想ブロックでデータを書き込むための書き込み命令を受信するステップと、(f) 仮想ブロックを含む仮想ユニットを書き止めるステップと、(g) 仮想ユニットにマッピングされる物理ユニット内部の書き込み可能なブロックを書き止めるステップと、(h) 書き込み可能な物理ブロックにデータを書き込むステップと、を含むことが好ましい。本方法はさらに、(i) 書き込み済みの物理ユニットにおいて未書き込みの物理ブロックを書き止めることができない場合には、未書き込みの物理ユニットを書き止めるステップと、(j) 未書き込みの物理ユニットの書き込み可能な物理ブロックにデータを書き込むステップと、(k) 仮想ユニットを未書き込みの物理ユニットに追加的にマッピングすることによって仮想マップを更新するステップであって、仮想ユニットが未書き込みの物理ユニットおよび書き込み済みの物理ユニットに対応し、未書き込みの物理ユニットおよび書き込み済みの物理ユニットが物理ユニットのチェーンを形成するようになっているステップと、を含むことがさらに好ましい。未書き込みの物理ユニットの書き込み可能な物理ブロックが物理ブロックオフセットを備え、物理ブロックオフセットがマッ

ピングされる仮想ユニットの仮想ブロックオフセットに対応することが最も好ましい。また、本方法はさらに、(1) 書込み済みの物理ユニットにおいて未書込みの物理ブロックを突き止めることができない場合には、チェーンにおいて複数の物理ユニットに対応する第2の仮想ユニットを突き止めるステップと、(m) チェーンにおいて最終物理ユニットを突き止めるステップと、(n) 書込み済みの物理ユニットの物理ブロックのそれから最終物理ユニットの書込み可能な物理ブロックまで、データを移動するステップであって、書込み可能な物理ブロックが書込み済みの物理ユニットの物理ブロックと実質的に同一のブロックオフセットを備えるステップと、(o) 仮想ユニットを最終物理ユニットにマッピングすることによって仮想マップを更新するステップであって、仮想ユニットが実質的に最終物理ユニットにのみ対応するようになっているステップと、を含むことが最も好ましい。本方法はまた、(p) 最終物理ユニットを除いて、チェーンにおける書込み済みの物理ユニットの実質的にすべてを消去するステップをさらに含むことが好ましい。

【 0 0 1 4 】

別法として、本方法はさらに、(1) チェーンのための割当てに未書込みの物理ユニットが利用可能でない場合には、再構成のために未書込みの物理ユニットを割当てるステップと、(m) 書込み済みの物理ユニットの物理ブロックのそれから未書込みの物理ユニットの書込み可能な物理ブロックまでデータを移動するステップと、(n) 仮想ユニットを未書込みの物理ユニットに仮想ユニットをマッピングすることによって仮想マップを更新するステップであって、仮想ユニットが実質的に未書込みの物理ユニットにのみ対応するようになっているステップと、を含むことが好ましい。本方法はさらに、(o) 書込み済みの物理ユニットのすべてを消去するステップを含むことがさらに好ましい。

【 0 0 1 5 】

本発明の別の好ましい実施例によれば、本方法はさらに、(i) 書込み済みの物理ユニットにおいて未書込みの物理ブロックを突き止めることができない場合には、物理ユニットのチェーンを形成するために未書込みの物理ユニットを割当てるステップであって、未書込みの物理ユニットがチェーンの最終物理ユニット

であるようになっているステップと、(j) 最終物理ユニットにおける未書き込みの物理ブロックにデータを書き込むステップと、(k) ステップ(j)で書き込まれたデータを除いて、物理ブロックのそれぞれから未書き込みの物理ユニットの書き込み可能なブロックにデータを移動するステップと、(m) 書込み済みの物理ユニットに仮想ユニットをマッピングすることによって仮想マップを更新するステップであって、仮想ユニットが書き込み済みの物理ユニットに対応するようになっているステップと、を含む。

【 0 0 1 6 】

本発明の別の実施例によれば、メモリのためのデータの書き込み方法であって、メモリの未書き込みの部分にのみデータを書き込むことができるため、未書き込みの状態にするためにメモリの書き込み済みの部分を消去しなければならない方法を提供する。本方法は、(a) 複数の物理ブロックに分割されることになっている複数の物理ユニットを提供するステップであって、物理ユニットのそれぞれが物理ユニット番号を備え、物理ブロックのそれぞれが物理ユニット内部に物理ブロックオフセットを備えるステップと、(b) 複数の仮想ブロックに分割されることになっている複数の仮想ユニットを提供するステップであって、仮想ユニットのそれぞれが仮想ユニット番号を備え、仮想ブロックのそれぞれが仮想ユニット内部に仮想ブロックオフセットを備え、各仮想ユニットが少なくとも1つの物理ユニットにマッピングされるステップと、(c) 仮想ブロックでデータを書き込むための書き込み命令を受信するステップと、(d) 仮想ブロックオフセットを有する仮想ブロックを含む仮想ユニットを決定するステップと、(e) 仮想ユニットに対応する物理ユニットを突き止めるステップと、(f) 物理ユニット内部において物理ブロックを突き止めるステップと、(g) 物理ブロックが未書き込みかどうかを決定するステップと、(h) 物理ブロックが未書き込みの場合に限り、物理ブロックにデータを書き込むステップと、(i) 別法として、物理ブロックが未書き込みでない場合には、未書き込みの物理ユニットを割当てるステップと、(j) 未書き込みの物理ユニットの内部において書き込み可能な物理ブロックを突き止めるステップであって、書き込み可能な物理ブロックが物理ブロックオフセットを備えるステップと、(k) 書込み可能な物理ブロックにデータを書き込むステップと、(l)

仮想ユニットを書き込み可能な物理ブロックを含む未書き込みの物理ユニットに追加的にマッピングするステップであって、物理ユニットのチェーンを形成するためには、仮想ユニットが未書き込みの物理ユニットに追加的にマッピングされるようになっているステップと、を含む。

【 0 0 1 7 】

本方法はさらに、(m) 書込み済みの物理ユニットにおいて未書き込みの物理ブロックを書き止めることができない場合には、チェーンにおいて複数の物理ユニットに対応する第2の仮想ユニットを書き止めのステップと、(n) チェーンにおいて最終物理ユニットを書き止めのステップと、(o) 書込み済みの物理ユニットの物理ブロック内部の全データを最終物理ユニットの物理ブロックに移動するステップと、(p) 仮想ユニットが最終物理ユニットにのみ対応するように仮想マップを更新するステップと、を含むことが好ましい。本方法はさらに、(q) 書込み済みの物理ユニットのすべてを消去するステップを含むことがさらに好ましい。

【 0 0 1 8 】

別法として、本方法はさらに、(1) 未書き込みの物理ユニットが割当てに利用可能でない場合には、チェーンにおいて最終物理ユニットを書き止めのステップと、(m) 書込み済みの物理ユニットの物理ブロック内部の全データを最終物理ユニットの物理ブロックに移動するステップと、(n) 仮想ユニットが最終物理ユニットにのみ対応するように仮想マップを更新するステップと、を含むことが好ましい。本方法はさらに、(o) 最終物理ユニットを除き、書き込み済みの物理ユニットの実質的にすべてを消去するステップを含むことがさらに好ましい。

【 0 0 1 9 】

【発明の実施の形態】

本発明は、ブロックなどのデータの読み出しおよび書き込みのためのメモリ部分のサイズが、ユニットなどの消去のための最小部分のサイズと異なるようになっているフラッシュメモリを構成する方法に関する。本発明の方法によって構成されることができるフラッシュメモリの種類の例は、これに限定されるわけではないが、NANDおよびAND技術によって例示されるページモードデバイスを含む

。方法はまた、フラッシュメモリにデータの読出しおよび書き込みを行うための方法および未書き込みの物理ユニットがそれ以上利用可能でない場合には、フラッシュメモリを再構成する方法である。

【 0 0 2 0 】

以下、「物理ユニット」なる語は、消去ができるメモリの最小部分またはその整数倍であるメモリの物理的な媒体またはハードウェアにあるユニットとして定義される。それは連続的な固定サイズの消去可能なメモリの部分である。「物理ブロック」なる語は、データの読出しありは書き込み用のメモリの部分として定義される。以下、「仮想ユニット」なる語は、物理ユニットと同一のサイズとして定義される。NANDおよびANDなどのページモードメモリ技術のために、消去ができるメモリの最小部分はページサイズより大きく、通常は約8KBである。ここで使用されるように、「物理ブロック」なる語は、ページモードメモリ技術のための「ページ」なる語と同意義である。したがって、仮想ユニットは物理ユニットと同一の大きさである。

【 0 0 2 1 】

以下、「仮想マップ」なる語は、仮想ユニットを少なくとも1つの対応する物理ユニットに関連付ける表を表す。上記のように、各ユニット、すなわち仮想ユニットまたは物理ユニットは、複数のブロックで構成される。以下でさらに説明するように、ユニット内のブロックの正確な位置は、1つ以上の予め定められた規則に基づいて決定される。

【 0 0 2 2 】

各物理ユニットは物理ユニット番号によって表される。各物理ブロックの位置は、物理ブロックオフセットによって与えられる。同様に、各仮想ユニットは仮想ユニット番号によって表される。各仮想ブロックの位置は、仮想ブロックオフセットによって与えられる。各仮想ユニット番号は、1つ以上の物理ユニット番号に対応することを留意すべきである。したがって、仮想ユニットと物理ユニットとの間のマッピングは、1対1または1対多のいずれかであってもよい。

【 0 0 2 3 】

以下、「書込みデータ」なる語は、フラッシュメモリの上にデータを格納する行為を表す。「読み出しデータ」なる語は、フラッシュメモリからデータを検索する行為を表す。以下、「未書込み」なる語は、データを書込ませることができる物理ブロックなどのメモリの一部分を示す。したがって、「未書込み」なる語は、これに限定されるわけではないが、ちょうど消去されたばかりのメモリの部分を含む。

【 0 0 2 4 】

本発明によって構成されるフラッシュメモリを有するコンピュータまたは他の電子デバイスにおいて、そのデバイスのオペレーティングシステムが、読み出しあり書込みデータのために仮想ユニットおよび仮想ブロックに相互作用を及ぼす。仮想媒体は仮想ユニットおよびブロックを含むため、フラッシュメモリデバイスに相互作用を及ぼすオペレーティングシステムのためのインターフェースとして作用する。たとえば、オペレーティングシステムは、仮想ブロックオフセットで仮想ブロックにデータを書込むための書込み命令を発する。次に、仮想ブロックを含む仮想ユニットが突き止められる。次いで、仮想マップが、データが実際に格納されるメモリの物理ユニット内部の対応する物理ブロックを突き止める。オペレーティングシステムは、仮想ユニットおよび仮想ブロックがフラッシュメモリの実際のハードウェアであるかのように、読み出しあり書込み命令を発するが、実は実際のハードウェアはフラッシュメモリの物理ユニットおよび物理ブロックに組み込まれている。したがって、オペレーティングシステムは、仮想ユニットおよびブロックを認識するのみであり、ハードウェア自体に直接相互作用を及ぼさない。

【 0 0 2 5 】

このようなインターフェースの利点は、仮想メモリを用いてオペレーティングシステムが相互作用を及ぼすことによって、さらに書込み可能となる前に消去しなければならないという要件などのフラッシュメモリに固有の欠点を、克服することができる所以である。さらに、電子デバイスのオペレーティングシステムにはフラッシュメモリのアドレスを構成する必要がない。さらに、1つのインターフェースがフラッシュメモリデバイスの多数の種類に使用されることができるた

め、オペレーティングシステムは、著しい修整の必要がなく、さまざまな異なるフラッシュメモリ技術に相互作用を及ぼすことができる。したがって、本発明の方法は、フラッシュメモリデバイスおよびそれらを使用する電子デバイスに最大の適応性を許容することができる。

【 0 0 2 6 】

【実施例】

本発明は、NANDまたはANDフラッシュデバイスなどのページモードフラッシュメモリデバイスを構成するためのシステムを提供する。このシステムは、フラッシュデバイスなどから読み出したり、フラッシュデバイスなどに書込んだりするための方法を含む。さらに、このシステムはまた、フラッシュデバイスが磁気ディスク記憶装置をうまくエミュレートすることができるようなインターフェースも提供する。パーソナルコンピュータまたはラップトップコンピュータなどさまざまなホストデバイスに、このようなフラッシュメモリデバイスを取付けることができる。

【 0 0 2 7 】

本発明は、フラッシュメモリに関して説明するが、その教えはまた、フラッシュメモリなどの同様の書き込み、読み出しおよびユニット消去の特性を備えたデータ記憶デバイスに応用可能であることを当業者は理解されたい。

【 0 0 2 8 】

本発明によるページモードフラッシュメモリデバイスを構成するためのシステムの原理および動作は、図面および添付する詳細を参照すれば、よりよく理解されるであろう。

【 0 0 2 9 】

ここで図面を参照すると、図1は、たとえば、NANDなどの技術による従来技術の物理的なページモードフラッシュメモリデバイスを模式的に示している。「物理的なデバイス」なる語は、以下、フラッシュメモリデバイスのための物理的な媒体を含む実際のハードウェア自体として定義される。このような物理的な媒体は一般に、フラッシュEEPROM装置から構成されるが、適切な不揮発性のプログラム可能なメモリデバイスのいずれで代用してもよい。「プログラム可

能な」なる語は、以下、たとえば、データをメモリデバイスに書きませることによってなど、変更可能であるとして定義される。

【 0 0 3 0 】

フラッシュメモリ物理デバイス 10 は、少なくとも 1 つの物理ユニット 12 を備えているように示される。物理ユニット 12 は、消去可能な物理デバイス 10 の最小のセグメントである。物理ユニット 12 は整数倍のブロックを含み、個別にブロック 1 ~ n として表され、ここで n は整数であり、集合的にはブロック 1 4 として表される。ブロック 1 4 は、連続した固定長のグループの物理的なバイトアドレスから構成され、ハードウェアの特徴である。具体的に言えば、ブロック 1 4 のサイズは物理デバイス 10 の特性である。ブロック 1 4 の基本データ領域 1 6 に、利用者データを格納することができる。各ブロック 1 4 はまた、制御データ領域 1 8 も有する。制御データ領域 1 8 は、ブロック 1 4 の主要部分から個別アルゴリズムによってアドレス呼出しを行うことができ、ブロック 1 4 のサイズの計算には含まれない。以下でさらに説明するように、制御データ領域 1 8 は、フラッシュファイリングシステム自体に関連する情報の格納に好都合である。各物理ユニット 12 は、配分済みのユニットか未配分のユニットのいずれかである。未配分ユニットはそれぞれ、自由であり、利用データを含まず、配分および割当てが行われる用意がなされている。各配分済みのユニットは割当てされ、データを含む。

【 0 0 3 1 】

図 2 は、基本的なフラッシュメモリデバイスを構成するためのシステムを示している。システム 20 は、仮想媒体 22 および物理デバイス 10 の両方を制御し、仮想マップ 24 によって仮想媒体 22 を物理デバイス 10 に関連付ける。仮想媒体 22 は複数の仮想ユニット 26 を含む。各仮想ユニット 26 は複数の仮想ブロック 28 を含む。各仮想ユニット 26 は仮想アドレスによって表される。仮想アドレスは、特定の仮想ユニット 26 を表す仮想ユニット番号を含む。各仮想ブロック 28 は仮想ブロックオフセットによって表される。同様に、各物理ユニット 12 は物理アドレスを有する。物理アドレスは、特定の物理ユニット 12 を表す物理ユニット番号を含む。各物理ブロック 1 4 は物理ブロックオフセットを有

する。

【 0 0 3 2 】

仮想マップ24は、配分済みの仮想ユニットである仮想ユニット26を配分済みの物理ユニットである少なくとも1つの物理ユニット12にマッピングする。物理ユニットに関して、仮想ユニットが少なくとも1つの物理ユニットにマッピングされた場合には、それは配分済みの仮想ユニットである。しかし、1つの仮想ユニット26は1つ以上の物理ユニット12にマッピングされることができる。したがって、仮想ユニット26と物理ユニット12との対応は、1対1または1対多のいずれであってもよい。

【 0 0 3 3 】

システム20は以下のように作動する。フラッシュメモリデバイス（図示せず）を含む電子デバイスのオペレーティングシステムは、読み出し命令または書き込み命令などの命令を特定の仮想ユニット26内部の特定の仮想ブロック28に送信する。次に、仮想マップ24が物理ユニット12内部の対応する物理ブロック14を突き止める。

【 0 0 3 4 】

示されているように、厳密に1つの物理ユニット12にマッピングされる各仮想ユニット26に対して、マッピングの対応が1対1である場合には、状況は比較的単純であるように思える。しかし、上記のように、物理デバイス10は、追加的なデータを書き込むことができる前に、定期的な消去を実行するための要件を含め、読み出しおよび書き込みのための特定の物理的な制約条件がある。このような制約条件に対して、物理デバイス10またはデバイスの一部で頻繁に繰り返される消去を伴わない可能な解決法は2通りである。

【 0 0 3 5 】

第1の解決法は図3Aに示されており、仮想ユニット26と物理ユニット12との対応が1対多であるため、各仮想ユニット26が複数の物理ユニット12に対応する。仮想マップ24は、このようなマッピングを実行するために必要な情報を保持しなければならない。仮想マップ24の一部の例が図3Aに挙げられており、本発明のANDシステムを適用することができる。

【 0 0 3 6 】

仮想マップ24の部分は、物理ユニット12内部の物理ブロック14および仮想ユニット26内部の仮想ブロック28を示す。この例では、ある特定の仮想ユニット30が2つの物理ユニット12に対応する。第1の物理ユニット12は基本ユニット32である。第2の物理ユニット12は置換ユニット34である。各仮想ユニット26の場合には、1つの基本ユニット32のみであってもよい。しかし、各仮想ユニット26に関連するゼロ以上の置換ユニット34であってもよい。たとえば、仮想ユニット36は基本ユニット38にのみ対応し、置換ユニット34には対応しないため、仮想ユニット36は非置換型仮想ユニットの例である。

【 0 0 3 7 】

仮想ブロック28の構成は、特定の仮想ユニット26に対応する物理ブロック14の数に依存する。仮想ユニット30の場合には、複数の仮想ブロック28が基本ユニット32内部の物理ブロック14に対応する一方、他の仮想ブロック28が置換ユニット34内部の物理ブロック14に対応する。仮想ユニット36の場合には、実質的にすべての仮想ブロック28が基本ユニット38内部の物理ブロック14に対応する。

【 0 0 3 8 】

最も簡素な例において、仮想ユニットは非置換型ユニットであり、特定の物理ブロック14を突き止めるための手順は以下の通りである。仮想ユニット36は、仮想ユニット36を表す仮想ユニット番号44および仮想ブロック42を表す仮想ブロックオフセット46を有する。仮想ブロックオフセット46も番号であることを留意されたい。物理ユニット番号50は基本ユニット38を表す。物理ブロックオフセット52は基本ユニット38内部の物理ブロック54を表す。データの読み出しありは書き込みを行うための物理ブロック54を突き止めるために、第1の規則は、仮想ユニット番号44を決定するために仮想ユニットごとのブロックの数によって、所望の仮想ブロックオフセット46を割り振ることである。次に、仮想マップ24は仮想ユニット番号44を物理ユニット番号50にマッピングする。第2の規則は、仮想ブロックオフセット46と同一の番号でなければ

ならない物理ブロックオフセット52によって、所望の物理ブロック14、この場合には物理ブロック54を物理ユニット38の内部で突き止めることができる。したがって、仮想マップ24は、仮想および物理ユニットに関する情報を含むだけであるが、適正なブロックオフセットを決定するために規則が使用される。

【 0 0 3 9 】

さらに複雑な場合には、各仮想ユニットは1つ以上の物理ユニットに対応する。この場合には、2つ以上の物理ユニットのグループが「チェーン」と呼ばれる。たとえば、仮想ユニット番号72は仮想ユニット30を表し、仮想ブロックオフセット74が仮想ブロック70を表す。物理ユニット番号78は置換ユニット34を表し、物理ブロックオフセット80は置換ユニット34内部の物理ブロック82を表す。したがって、仮想ユニット30の仮想ブロック70は置換ユニット34の物理ブロック82に対応する。

【 0 0 4 0 】

データの読み出しありは書き込みを行うための物理ブロック82を突き止めるために、再び第1の規則は、仮想ユニット番号72を決定するために仮想ユニットごとのブロックの数によって、所望の仮想ブロックオフセット74を割り振ることである。次に、仮想マップ24は仮想ユニット番号72を物理ユニット番号78にマッピングする。しかし、問題がある。前述したように、第2の規則は、仮想ブロックオフセットと同一の番号でなければならない物理ブロックオフセットによって、所望の物理ブロックが物理ユニットの中で突き止められることである。この場合には、チェーンに複数の物理ブロック14がある。いずれの物理ブロック14がデータを有するかを決定するために、第3の規則は、仮想ブロック70と同一のブロックオフセットを有する各物理ブロック14が、チェーンの各物理ユニット内部にあるかを調査することである。最終非自由物理ブロック14、この場合には置換ユニット34の物理ブロック82が、読み出し用の所望のデータを含む。逆に、書き込みデータの場合には、第1の自由物理ブロック14が所望のブロックである。

【 0 0 4 1 】

物理ブロックは属するチェーンにおいて物理ユニットの順に書込まれるため、「最終非自由物理ブロック」なる語は、未だ自由ではないが、チェーンの中で最も遠い下にあるユニットの物理ブロックを呼ぶ。チェーンにはユニットがそれ以上存在しないか、またはチェーンにおける次のユニットに同一のブロックオフセットを有する物理ブロックが自由であるかのいずれかである。同様に、第1の自由物理ブロックを発見するために、所望のブロックオフセットを有する各物理ブロックがチェーンの各物理ユニットにあるかどうかを調査し、この調査は基本ユニットから始めて、今度は各置換ユニットを通じて下に続き、自由ブロックが発見されるまで続く。

【 0 0 4 2 】

FMAXと対照してみると、FMAXは同様の仮想マップおよびアドレス指定システムを使用するが、図3Bに示すように、各基本ユニットには1つの置換ユニットのみを備える。これを実現するために、FMAXは単一および複合の置換（物理）ユニットを使用する。単一置換ユニットは、物理ユニットの物理ブロックオフセットの実質的にすべてが対応する仮想ユニットの仮想ブロックオフセットに直接的に相関されるユニットである。複合置換ユニットは、仮想ブロックオフセットと物理ブロックオフセットとのこのような直接の対応関係が必ずしも存在しないユニットである。代わりに、対応する物理ブロックオフセットを有する物理ブロックが書込みに利用可能でない場合には、異なる物理ブロックが選択される。次に、仮想ブロックと物理ブロックとの実際の対応関係を決定するために、制御情報が制御データ領域に書込まれる。

【 0 0 4 3 】

図3Bに示されるように、基本ユニット97は、複数の物理ブロック100を有し、それぞれのブロックが仮想ユニット104の仮想ブロック102に対応する単一置換ユニット98を有する。各物理ブロックオフセットは、同一のオフセット番号である仮想ブロックオフセットに対応する。

【 0 0 4 4 】

しかしながら、必要とする物理ブロックオフセットを有する物理ブロックが利用可能でない場合には、同一の物理ユニットの異なる物理ブロックが書込まれな

ければならず、置換ユニットは複合置換ユニットになる。第2の基本ユニット109は、複数の物理ブロック112を有し、それぞれのブロックが仮想ユニット116の仮想ブロック114に対応する複合物理ユニット110を有する。しかし、1つの物理ブロックオフセットが同一のオフセット番号である仮想ブロックオフセットに対応することができる一方、第2の物理ブロックオフセットは同一のオフセット番号でない第2の仮想ブロックオフセットに対応してもよい。特定の物理ブロックを見つけるために、制御データ領域に書込まれた制御情報を調査しなければならない。以下にさらに説明するように、これは、データの書き込みの場合および必要に応じてFMAXシステムを再構成する場合の両方の場合において、きわめて重要である。

【 0 0 4 5 】

図4Aは図3Aの仮想マップを操作するためのフローチャートを示し、図4Bは図3Bの仮想マップを操作するためのフローチャートを示す。最も簡素な場合、すなわちすべての置換ユニットが單一ユニットまたは1つのみの置換ユニットを備える基本ユニットである場合には、ANDおよびFMAXのいずれも同じステップを使用することができる。まず、突き止められる対象の仮想ブロックの数を、仮想ユニット番号を与える仮想ユニットごとのブロックの数で割ることによって、仮想ユニット番号および仮想ブロックオフセットが計算される。法または割算の剰余が仮想ブロックオフセットである。

【 0 0 4 6 】

次に、仮想マップが、仮想ユニットに対応する物理ユニットを発見するために調査される。仮想ユニットに対応する物理ユニットを発見することができない場合には、物理メモリの必要な部分はフラッシュデバイスに存在しない。上記のように、すべての置換ユニットが單一ユニットであるか、または基本ユニットが唯一の置換ユニットを有する場合にのみ、このような単一の方式が有効である。しかし、データが書き込まれることになっている物理ブロックがすでにプログラムされているか、または他のデータで書き込まれている場合には、この方式は作用しない。この場合には、データを書込むことができる別の物理ブロックを発見するタスクを処理することができるような置換方式が必要とされる。

【 0 0 4 7 】

2通りの異なるアルゴリズムが、図4A (AND) および図4B (MAX) に示されている。両方のアルゴリズムは同一の方式で始まる。ステップ1において、所望の物理ユニットが突き止められる。ステップ2において、特定のブロックオフセットに対する物理ブロックが、その物理ユニットの内部で突き止められる。ステップ3において、ブロックが未書き込みの場合には、データがブロックに書き込まれる。所望の物理ブロックが利用可能でない場合には、本発明の2つのシステム、すなわちANDおよびMAXは、各技術が所望の物理ブロックがすでに書き込まれた状況に対処するような方法で分岐される。

【 0 0 4 8 】

図4Aに示されるように、ANDシステムは、置換ユニットを見ることによってこの状況に対処する。ステップ4において、x番目の置換物理ユニットが調査される。ここでxは、最初は1に等しい整数である。その物理ユニットが所望の物理ブロックオフセットを備えた未書き込みの物理ブロックを有する場合には、データが物理ブロックに書き込まれる。ブロックが利用可能でない場合には、ステップ5に示されるように、xは1ずつ増分され、ステップ4が反復される。データがブロックに書き込まれるか、またはチェーンの他の置換ユニットが発見されなくなるまで、ステップ4および5が反復される。ステップ6において、未配分の物理ユニットが置換ユニットとして配分され、データが所望のブロックオフセットを備えたブロックに書き込まれる。

【 0 0 4 9 】

MAXシステムは、図4Bに示されるように、この状況に異なる方法で対処する。ステップ4において、置換ユニットにおける同一の物理ブロックオフセットを有する物理ブロックが突き止められる。その物理ブロックが未書き込みの場合には、データがその物理ブロックに書き込まれる。そうでない場合には、ステップ5のように、置換ユニットの中の異なる物理ブロックオフセットを備えた物理ブロックが突き止められる。未書き込みの物理ブロックが突き止められるまで、ステップ5が反復される。今度は、仮想ブロックオフセットがもはや物理ブロックオフセットと同一でないため、置換ユニットが複合ユニットである。ステップ6に

おいて、マッピング方式が複合ユニット内部のいかなる物理ブロックの正確な位置も発見できるようにするために、制御情報が物理ユニットの制御データ領域に付加される。

【 0 0 5 0 】

しかしながら、これらの置換アルゴリズムも、フラッシュデバイスの異なる要求のすべてに対処するのに十分でないと思われる。AND およびFMAX システムの両方とも、最後には物理ブロックが利用可能でないため、物理ユニット内部のブロックにさらなるデータを書込むことができない状況に達するであろう。

【 0 0 5 1 】

このような状況において、データを最も簡素な状態、すなわち非置換基本ユニットに再構築するために、仮想ユニットを再構成しなければならない。この再構成処理中、以前に仮想ユニット表示が属していた物理置換ユニットが解放され、それによって、割当てられていないまたは自由な物理ユニットとなる。AND 置換ユニットおよび単一FMAX 置換ユニットの両方に関して、この再構成処理は、フォールディングと呼ばれ、以下の図5A に図示される。

【 0 0 5 2 】

フォールディングは、置換ユニットにおいて基本ユニットにおいて書込まれたのと同一の物理ブロックオフセットで書込まれる対象の物理ブロックを必要とする。その理由については、処理が説明されるとさらに明らかになるであろう。フォールディングの第1のステップにおいて、チェーンの最終物理ユニットが物理ユニットx と識別される。ここで、x は1からいくつかの予め決定された実装依存制限数までの整数である。x が1に等しい場合、置換ユニットが実際に基本ユニットであり、残りのアルゴリズムは実行されないことに留意されたい。また、FMAX の場合には、x は1または2に等しいことにも留意されたい。

【 0 0 5 3 】

ステップ2において、ユニットx のブロックn が調査される。ここでn は整数である。データがブロックn に書込まれている場合には、n は1ずつ増分される。そうでない場合には、ステップ3においてx が1ずつ減分される。x が0に等しいかまたは書込み済みのブロックn が発見されるかのいずれかになるまで、ス

ステップ2および3が反復される。書き込み済みのブロックnが発見された場合には、ステップ4において、データがチェーンの最終置換ユニットのブロックnまで移動される。すべてのデータが次に基本ユニットとなる最終置換ユニットに移動されるまで、ステップ2～4が反復される。次に、事前の基本ユニットを含めるにしてもチェーンの他のすべてのユニットが解放され、割当てに利用可能となる。今度は仮想ユニットが1つの物理ユニットに対応するという事実を反映するために、仮想マップも更新される。

【 0 0 5 4 】

残念なことに、置換ユニット内部のブロックが常に、仮想ブロックオフセットに等しい物理ブロックオフセットを持っているとは限らないため、フォールディングは、複合FMAX置換ユニットの場合には作用しない。再割当ての異なる処理が、図5Bの複合物理ユニットのために示されている。ステップ1において、

新たな未割当ての物理ユニットが、新たな基本物理ユニットと呼ばれる。ステップ2において、複合物理ユニットのブロックnが調査される。データが複合物理ユニットのブロックnに書き込まれている場合には、ステップ3において、データが新たな基本ユニットにコピーされる。そうでない場合には、古い基本ユニットのブロックnからデータが新たな基本ユニットに書き込まれる。ステップ4において、nが1ずつ増分される。すべてのブロックがコピーされるまで、ステップ2～4が反復される。一旦、ブロックのすべてがコピーされると、古い基本ユニットのほか以前の置換ユニットも解放され、割当てのために利用可能となる。以前の手順のように、今度は仮想ユニットが1つのみの物理ユニットに対応するという事実を反映するために、仮想マップが更新される。

【 0 0 5 5 】

再構成方式のきわめて簡略化した実施例も可能である。この簡略化した実施例において、置換ユニットが割当てられた直後に再構成の処理が行われる。したがって、置換ユニットはシステムの一時的な特徴にすぎず、静止状態、すなわち物理メモリが書き込み処理を実行していない状態において、データは基本非置換ユニットにのみ存在する。置換ユニットは、書き込み処理のためだけに存在する。処理の終了時に、情報のすべてが新たなユニットに移動されるため、置換ユニットは

実質的に消失する。この方法は、実装の容易さおよびそれを管理するために必要とされる制御構造の簡便さという利点を備える。しかし、その欠点は、この方法が効率的ではないため、システムの書き込み性能を低下させることにある。

【 0 0 5 6 】

本発明に含まれる方法のすべては、格納されるデータの状態を記述するために、物理的なフラッシュデバイス自体に制御情報を記録することが可能でなければならない。特に、ユニットおよびブロックの制御情報は格納されることが好みが、別法としてそのようなデータは他の種類のデータから再構築することもできる。ユニット制御情報は、物理ユニットに配分された物理ユニット番号、基本または置換ユニットとしての物理ユニット自体の状態および他のユニットに対するそのユニットの位置を表示する。ブロック制御情報は、物理ブロックが使用されているか、解放されているかまたは異なる物理ブロックに存在する情報によって取り替えられているかどうかを表示する。

【 0 0 5 7 】

これらの異なる種類の 1 つまたは両方の情報を物理デバイスの特別な部分に、記録することができる。図 1 で上記のように、好みしくは、AND および FMA X システムは各物理ユニット 1 2 を物理的なフラッシュデバイスに記録される実際の利用者データを含む基本データ領域 1 6 および制御情報を含む制御データ領域 1 8 に分割する。このような領域は、ブロック 1 6 の下位区分として示されるが、物理ユニット 1 2 はまた、ブロックへの分割に実質的に独立である基本データ領域および制御データ領域に分割されてもよい。制御データ領域 1 8 は基本データ領域 1 6 のブロック探索方式の中に含まれず、物理的なフラッシュディスクの全体サイズを計算する場合にも含まれないことに留意すべきである。

【 0 0 5 8 】

NAND および AND フラッシュ技術は、メモリの各ブロックに空白領域を有するため、制御情報が通常、ブロックの空白領域に記録され、利用者データが基本ブロック領域に配置される。

【 0 0 5 9 】

空白領域が設けられていないフラッシュ技術の場合には、利用者データを格納

するための主要領域および必要な制御情報を格納するためのオーバヘッド部分に、すべての物理ユニットを分割することができる。

【 0 0 6 0 】

上記の説明は例として使用することのみを目的とし、さまざまな他の実施例が本発明の精神および範囲の中で可能であることを認識されたい。

【図面の簡単な説明】

本発明は、添付図面に関して、例としてのみここには説明される。

【図 1】 本発明による物理的なフラッシュメモリデバイスの概略図である。

【図 2】 本発明によるフラッシュメモリデバイスを構成する基本システムの図である。

【図 3 A】 本発明による A N D システムを示す。

【図 3 B】 本発明による F M A X システムを示す。

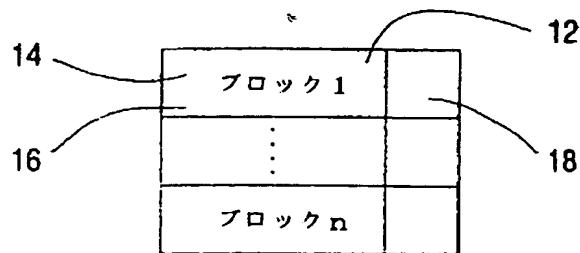
【図 4 A】 本発明による A N D システムのための書き込みアルゴリズムを示す。

【図 4 B】 本発明による F M A X システムのための書き込みアルゴリズムを示す。

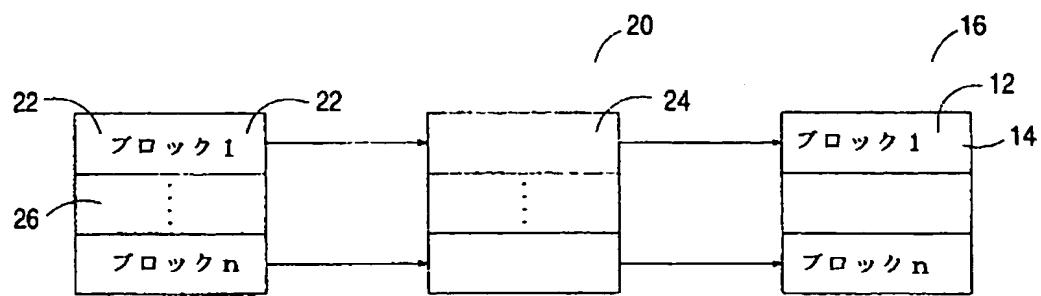
【図 5 A】 本発明による A N D システムのための再構成アルゴリズムを示す。

【図 5 B】 本発明による F M A X システムのための再構成アルゴリズムを示す。

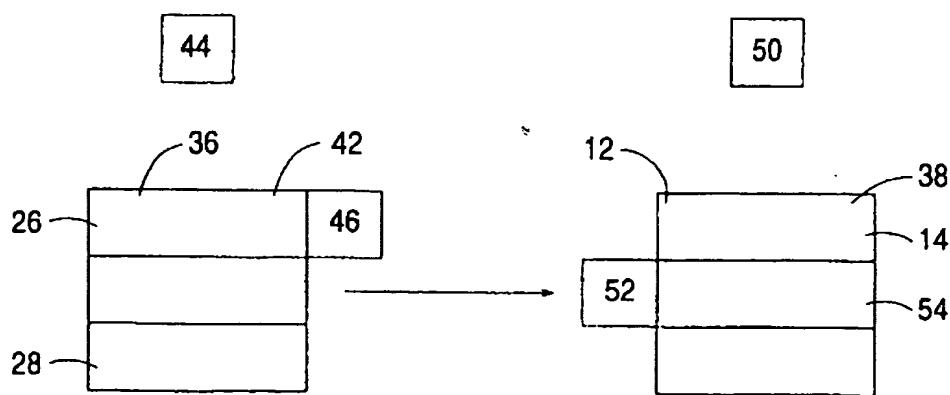
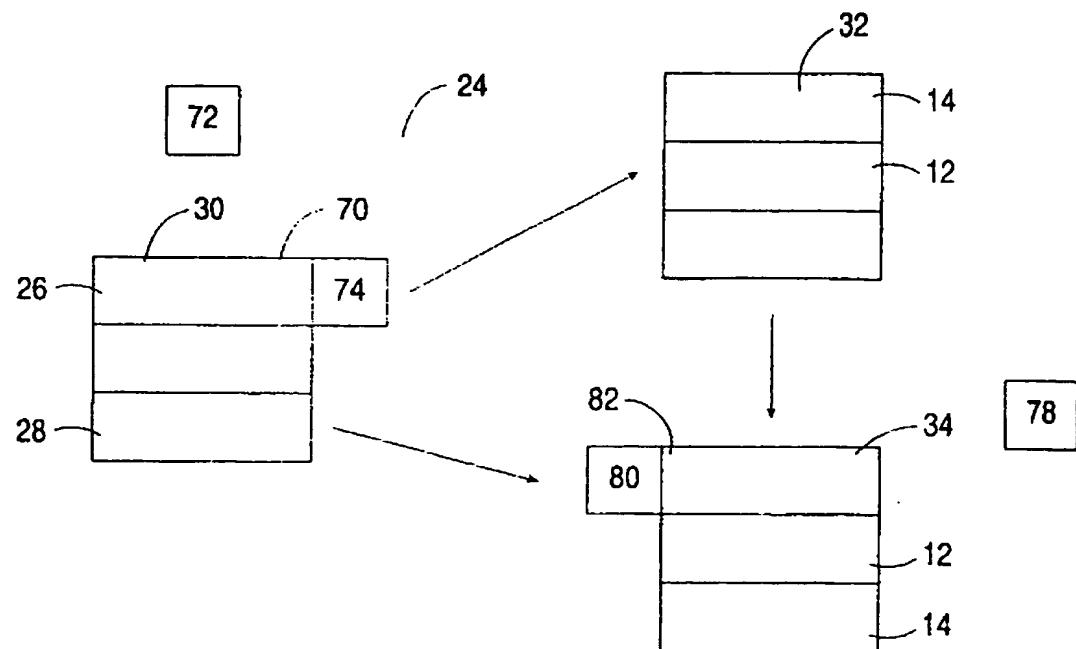
【図 1】



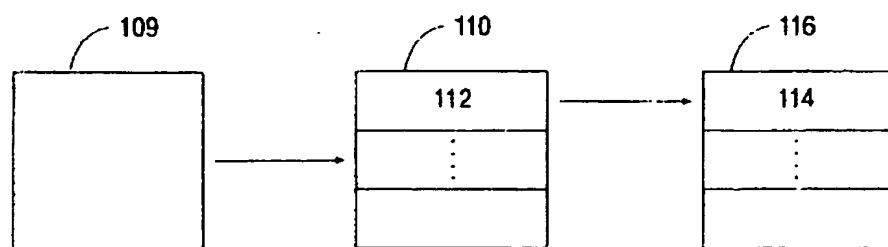
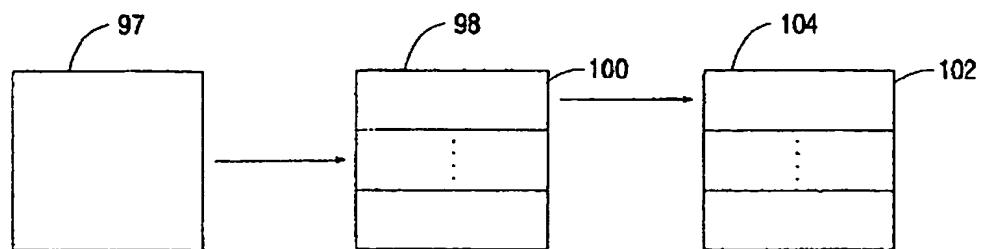
【図 2 】



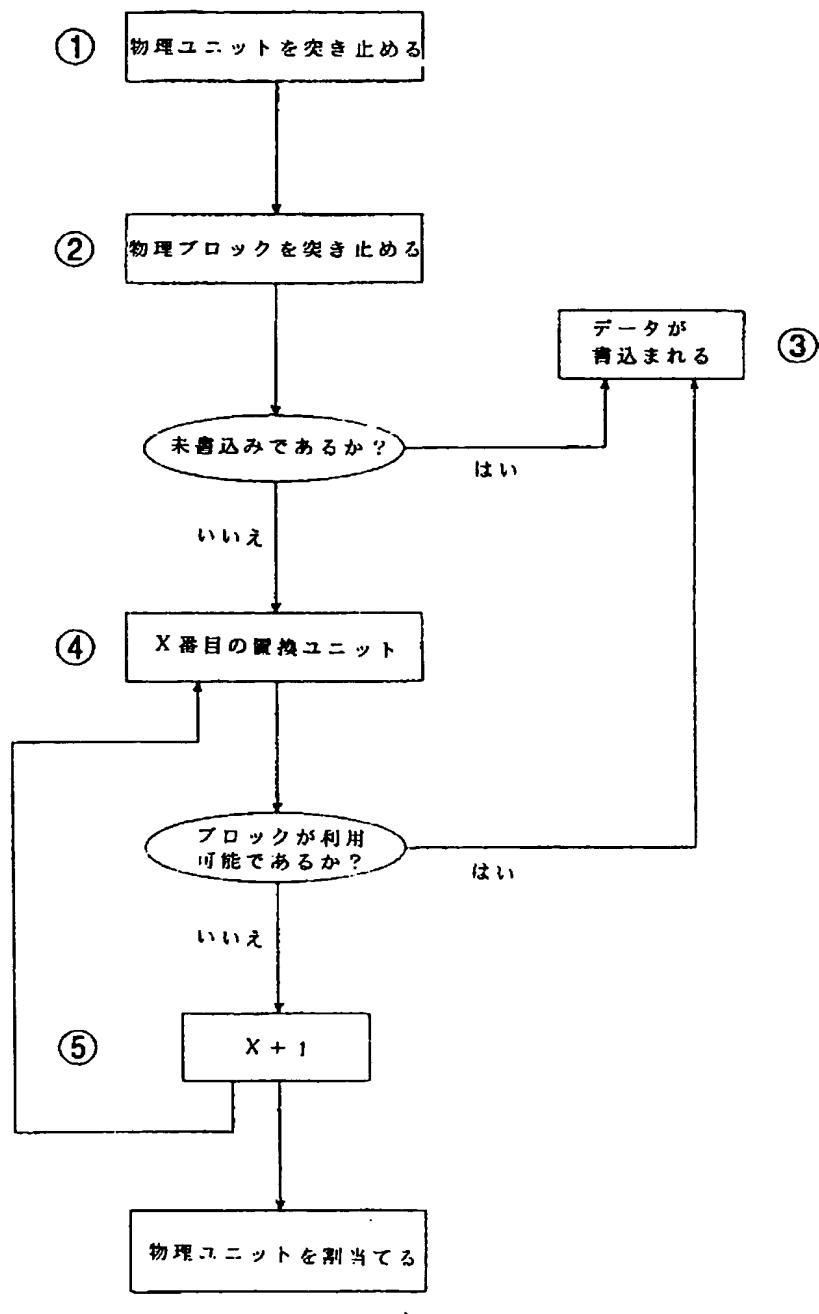
【図 3 A 】



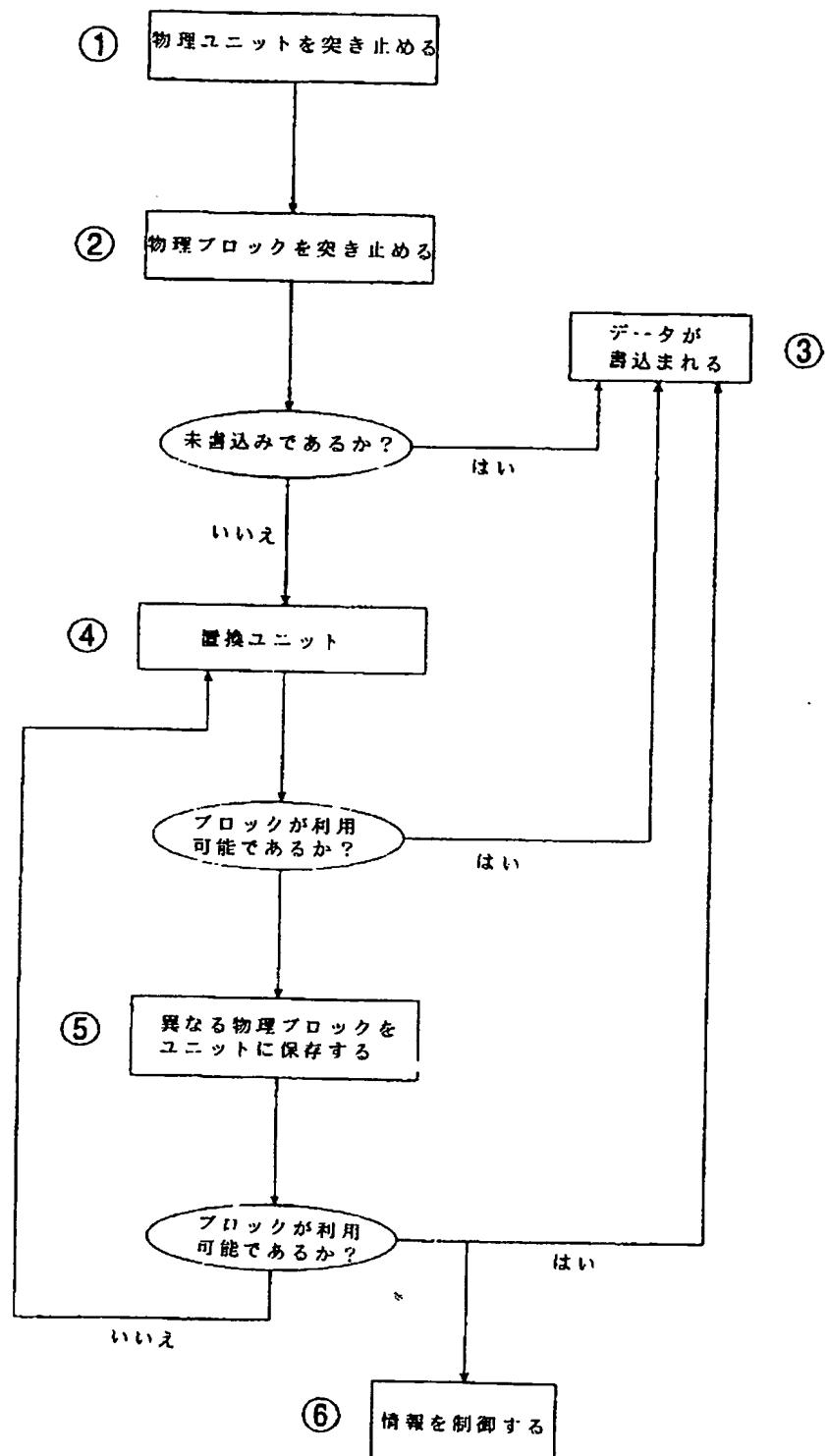
【図3B】



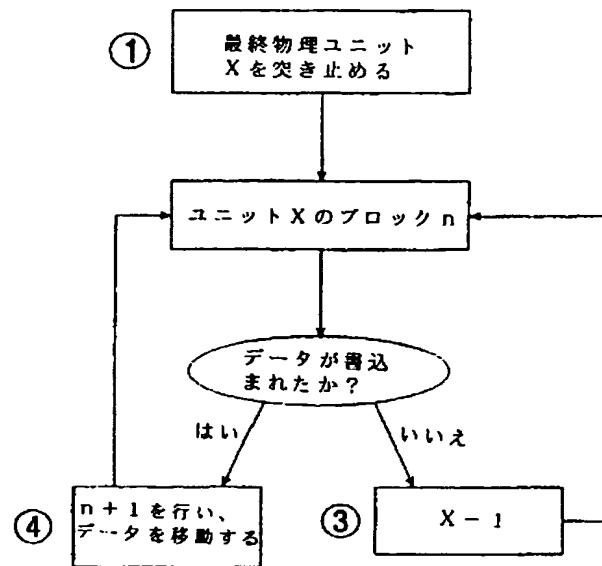
【図4A】



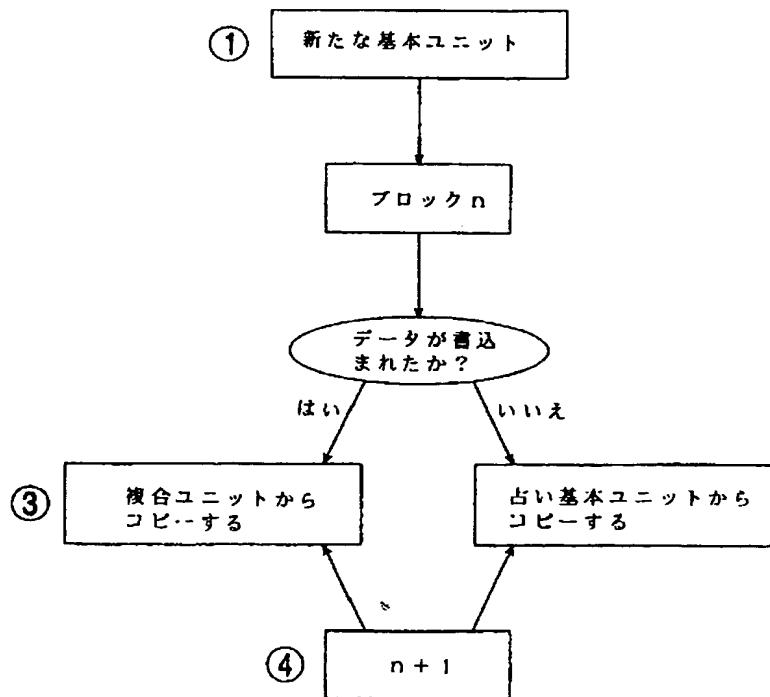
【図 4 B】



【図 5 A】



【図 5 B】



[国際調査報告]

INTERNATIONAL SEARCH REPORT		International application No. PCT/US98/21017
A. CLASSIFICATION OF SUBJECT MATTER IPC6 : G06F 12/12 US CL : 711/103, 165, 202, 209 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 711/103, 165, 202, 209		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,404,485 A (BAN) 04 April 1995, column 2 (all), column 4 lines 11-66, column 5 line 36 to column 6 line 27.	1-4, 7-8, 10-11
Y	US 5,479,638 A (ASSAR et al) 26 December 1995, column 4 lines 1-58, column 5 line 53 to column 6 line 11.	1-4, 7-8, 10-11
Y	US 5,459,850 A (CLAY et al) 17 October 1995, column 3 lines 9-24, column 18 line 59 to column 21 line 44.	1-4, 7-11, 14-15
A	US 5,630,093 A (HOLZHAMMER et al) 13 May 1997.	1-15
A	US 5,644,539 A (YAMAGAMI et al) 01 July 1997.	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published no or after the international filing date "C" document which may throw doubt on priority claim(s), or which is cited to establish the publication date of another invention or other special reasons (as specified) "D" document referring to an oral disclosure, non-exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 15 MARCH 1999		Date of mailing of the international search report 05 APR 1999
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer EDDIE P. CHAN Telephone No. (703) 305-3900

フロントページの続き

(81) 指定国 E P (A T, B E, C H, C Y,
D E, D K, E S, F I, F R, G B, G R, I E, I
T, L U, M C, N L, P T, S E), O A (B F, B J
, C F, C G, C I, C M, G A, G N, G W, M L,
M R, N E, S N, T D, T G), A P (G H, G M, K
E, L S, M W, S D, S Z, U G, Z W), E A (A M
, A Z, B Y, K G, K Z, M D, R U, T J, T M)
, A L, A M, A T, A U, A Z, B A, B B, B G,
B R, B Y, C A, C H, C N, C U, C Z, D E, D
K, E E, E S, F I, G B, G E, G H, G M, H R
, H U, I D, I L, I S, J P, K E, K G, K P,
K R, K Z, L C, L K, L R, L S, L T, L U, L
V, M D, M G, M K, M N, M W, M X, N O, N Z
, P L, P T, R O, R U, S D, S E, S G, S I,
S K, S L, T J, T M, T R, T T, U A, U G, U
S, U Z, V N, Y U, Z W

(71) 出願人 B u i l d i n g 7, A t i d i m I
n d u s t r i a l P a r k, P. O.
B o x 58036, 61580 T e l A v i
v, I s r a e l

F ターム(参考) 5B060 AB25 BA13
5B082 FA04 JA07